



⑩ 日本国特許庁

公開特許公報

特 許 願 (24)

昭和50年4月10日

特許庁長官殿

1 発明の名称

半導体装置

2 発明者

住 所 大阪府門真市大字門真1006番地

松下電器産業株式会社内

氏 名 松下 正治

(ほか3名)

3 特許出願人

住 所 大阪府門真市大字門真1006番地

名 称 (582) 松下電器産業株式会社

氏 名 松下 正治

4 代 理 人

〒571

住 所 大阪府門真市大字門真1006番地

松下電器産業株式会社内

氏 名 (5971) 弁理士 中 尾 敏 男

(ほか1名)

(通称住所) 電話(06)431-3111(特許分室)

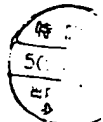
5 添付書類の目録

(1) 明 細 書

(2) 図 面

(3) 委任状

(4) 願書副本



1 通

1 通

1 通

1 通

7 通

①特開昭 51-118393

④公開日 昭51.(1976)10.18

②特願昭 50-43974

②出願日 昭50.(1975)4.10

審査請求 未請求 (全4頁)

庁内整理番号

7210 57

6426 57

⑤日本分類

99G H0

99G E3

⑥Int.Cl²

H01L 23/50

H01L 21/94

1. 発明の名称

半導体装置

2. 発明の概要

本発明は半導体よりなる第1の配線層を酸化して形成した第1の絶縁層と、上記第1の絶縁層上に形成した第2の絶縁層と、上記第2の絶縁層上に、金とあるいは半導体よりなる第2の配線層とを形成したことを特徴とする半導体装置。

3. 発明の詳細な説明

本発明は多岐配線の形成される半導体装置に適用し、多岐配線回路における短絡および絶縁不良を防止することを目的とする。

すなわち、本発明は半導体装置回路の多岐配線において、たとえば第1層目のポリシリコンと、第2層目のアルミとの間の絶縁層としてポリシリコンの酸化膜とシリコンの酸化膜による二重酸化膜を介して用いる従来のポリシリコン配線層とアルミ配線層との交差部のアルミの断絶を防ぐこと、

両層のショート、リークを防止するのを目的とする。

まず、図1図2より従来の半導体装置回路の製造方法の一例および本発明の必要とする点について問題を指摘する。図1図2において、1はシリコン基板であり、これを1100℃で熱処理して酸化膜2を作る。次に図3のようにエッチングにより、たとえばトランジスタ形成部分の酸化膜を除く。さらに、この処理した部分に図4図5のように1200Å程度の酸化膜3をつける。これがゲート酸化膜である。次に、この上に全面にポリシリコン層をつけたゲート層とその他の第1層の配線層をポリシリコンのフォトリソグラフィにより作成する。4がゲート全面としてのポリシリコン層であり、5が他の配線層のポリシリコン層である。次に、ソースおよびドレイン形成用のボロンを拡散させるためのゲート部以外のゲート酸化膜3をポリシリコン層4、5をマスクとしてエッチングして除去する。次に、図6に示すようにポリシリコン層4、5に

BE

の酸化膜の形成に因るエッチングの防止に
 なる効果は、図7、8に示される。ゲート電極のゲ
 ート酸化膜3は、1200Åとすといともゲートの
 酸化膜シリコン膜1であるので、大抵エッチ
 ングされてしまふことはすまいものであるが、ポリ
 シリコン膜6の両面下は酸化膜が厚いので大抵
くえぐられてしまふことはある。この上か
 らゲートを形成し、ソースおよびドレイン領域の
 10を形成するとともに、ゲート酸化膜を除去
ポリシリコン膜4、6の拡散をさせる。こうした
 のち、(1)に示すごとくシリコンの両分膜より低阻
酸化膜11を形成するのであるが、前述したよう
 にポリシリコン膜6の両側のくぼみ8は低阻酸化
 膜11の上にも多少は形成されるものの同じよう
 にくぼみ18として形成される。この低阻酸化膜
 11にコンタクト用の窓を明け、一面にアルミを
 蒸着してアルミをフォトリソグラフィしてアルミの
 配線12を作る。この時、両側のくぼみ18の
ためにアルミがサイドエッチングされ、(2)に示す
 ように、たとえば3の両分で断開をせしむ。ま

た、図2に示すようにポリシリコン膜6の上の
 低阻酸化膜11に欠陥24があると、この断開
 でアルミ配線12とポリシリコン膜6が短絡し
 てショートをする。

以上のようによつて方法によればポリシリコン膜
 6と交差する部分では第2番目の配線12であるアル
 ミ配線12が断開するとともにアルミの断開
 をしだしたとす。さらに、酸化膜11に欠陥
シリコン膜の欠陥がある部分、アルミ配線12
とポリシリコン膜6がショートする。酸化膜11
 の欠陥がアルミ、ポリシリコンの交差部分にあ
 る場合には、両配線の両端電位が上がるにつれ、断開
的欠陥大し、断開電位を多少下しく低下せし
める。

そこで、本発明は上記ポリシリコン上に低阻酸
 化膜をつける前にポリシリコン上に欠陥と見え酸化
 膜をつけ、ポリシリコンの両側のくぼみを形成
 させ、たとえばアルミ、ポリシリコンの交差部の
 断開を低下せせると共に、低阻酸化膜の欠陥を防
 止して多量に、アルミ、ポリシリコン配線間

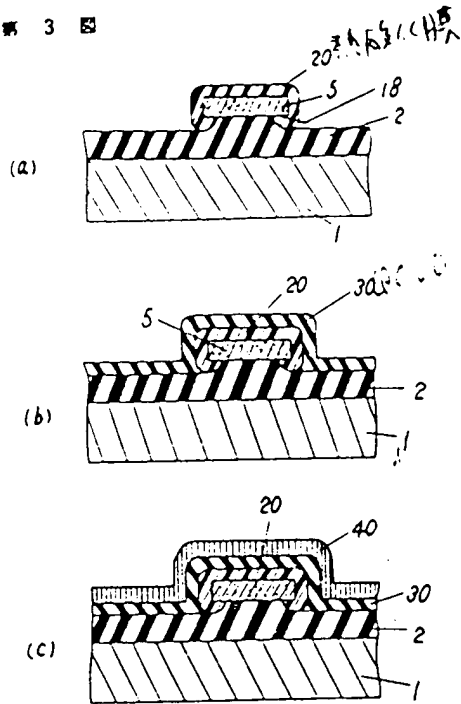
間のリークエッチングを低く低下せせらるもので
 ある。

以下、本発明の一実施例の構造を説明するとともに本
 発明の構造の作成に於いては図1図
 向の工程までは従来と同じであるので説明を省略
 する。図1図向の後、図3に示すように1100
にて15分間酸化を行ない、ポリシリコン上に、
約3000Åの酸化膜20を形成する。このとき
 (4)に示すようにポリシリコン膜6の両面に酸化さ
 れ酸化膜20が形成してくるけれども、さわりの
酸化膜2上には形成しない。そこで、ポリシリコ
 ン膜6両面に形成した酸化膜20はポリシリコン
 膜の両面から両端にくぼみ18を多少なりと
 かぶさる。こうしたのち、さらにこの酸化膜20
の上からシリコンの両分膜による低阻の酸化膜30
をつけると、図3に示すように、くぼみは
ほとんどなくなる。こうした上にアルミを蒸着し、
 フォトリソグラフィにより配線40を形成しても図
 3に示すようにマイドエッチングを断開を
 せしめる。

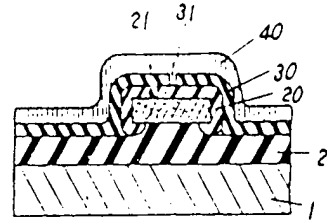
また、図4に示すようにポリシリコンの両面
 酸化膜20に図4に示すように欠陥21があつたと
 してもその上の低阻の酸化膜30でカバーされ、
 アルミ配線40とショートするおそれない。又、
 低阻の酸化膜30に欠陥31はポリシリコン
 の両面酸化膜20でカバーされる。したがって両配
 線の欠陥21、31があつた時、ショート
 やリークの不良を防止すが、これはポリシリコン
 の両面酸化膜20あるいはシリコンの両分膜による低
 阻の酸化膜30の両面の両分膜に比べて断開小を
 形成である。

上記実施例に於いては、図1の配線1としてポリ
 シリコンを用いたが、これはポリシリコンに限
 ることなく、他の半導体たとえばゲルマニウム
 あるいは金膜などを用いたアルミ、タンタル、タンダ
 スタン等でも形成される。この場合、図1の配線1
 を酸化する方法としては低阻酸化膜を形成すること
 なくプラズマ酸化膜や低阻酸化膜を用いる事
 てもよい。図1の配線1の酸化膜上に形成する他
 の配線はシリコン、およびその他のシリコン化合

第 3 図



第 4 図



6 前記以外の発明者および代理人

(1) 発 明 者

住 所 大阪府門真市大字門真1006番地
松下電器産業株式会社内
氏 名 クロ 島 田 ヒロシ

住 所 同 所
氏 名 水 堀 内 シロ 朗

住 所 同 所
氏 名 木 村 茂 司

(2) 代 理 人

住 所 大阪府門真市大字門真1006番地
松下電器産業株式会社内
氏 名 (6152) 井 堀 上 栗 野 重 孝

Translation of
Pat. Laid-open Pub. No. 91-119393

1. Title of the Invention
SEMICONDUCTOR DEVICE

3.000 = 2.5

2. Scope of the Patent Claim

A semiconductor device, characterized by comprising: a first layer of insulating material formed by oxidizing a first interconnection layer comprised of a metal or semiconductor; a second layer of insulating material deposited on said first layer of insulating material; and a second interconnection layer comprised of a metal or semiconductor on said second layer of insulating material.

3. Detailed Description of the Invention

The present invention relates to a semiconductor device in which a multi-layer interconnection is provided and has an object to prevent disconnection, electrical short or the like in a multi-layer interconnection structure.

That is, the present invention has an object of preventing disconnection of aluminum at an interconnection between a polysilicon interconnection layer and an aluminum interconnection layer and also preventing an electrical short and leakage between these two layers, for example, by using a thermal oxide film of polysilicon and also a low temperature oxide film produced by thermal decomposition of silane as an

insulating layer between a first layer of polysilicon and a second layer of aluminum in a multilayer interconnection of a semiconductor integrated circuit.

In the first place, with reference to Fig. 1, an example of a conventional method for manufacturing a semiconductor integrated circuit will be described and the problems which necessitated the present invention will be described.

Referring to Fig. 1(a), 1 is an N type silicon substrate and it is thermally oxidized at 1,100 °C to form a thermal oxide film 2. Then, as shown in (b), for example, that portion of the thermal oxide film which will become a transistor is removed by photoetching. Furthermore, as shown in (c), a thermal oxide film 3 on the order of approximately 1,200 Å is provided in that removed portion. This is a gate oxide film. Then, a polysilicon layer is provided across the entire surface and a gate portion and another first layer of interconnection are formed by photoetching of the polysilicon (d). 4 is a polysilicon layer as a gate metal and 5 is a polysilicon layer of another interconnection. Then, in order to diffuse boron for forming a source and a drain, that portion of the gate oxide film 3 other than the gate portion is removed by etching in a selfalignment manner using polysilicon layers 4 and 5 as a mask. In this case, as shown in (e), recesses 7 and 8 are formed on both sides of polysilicon layers 4 and 5 due to the progress of lateral etching at the sides of the oxide films immediately below the polysilicon layers 4 and 5. Since the gate oxide film 3 of

the gate portion is thin and on the order of 1,200 Å and silicon substrate 1 is present immediately therebelow, etching is not carried out effectively so that the recesses 7 are smaller; whereas, since the oxide film is thick immediately below the sides of polysilicon layer 5, it is removed significantly so that larger recesses 8 are formed. Boron is then diffused to form source and drain regions 9 and 10 and to lower the resistivity of polysilicon layers 4 and 5. Thereafter, as shown in (f), a low temperature oxide film 11 is formed by thermal decomposition of silane. In this case, however, as described previously, the recesses 8 on both sides of polysilicon layer 5 are similarly reproduced as recesses 12 on the low temperature oxide film 11, though the recesses are somewhat reduced in size. Then, contact windows are opened in this low temperature oxide film 11 and aluminum is vapor-deposited across the surface, which aluminum is then subjected to photoetching to thereby form an interconnection layer 13 of aluminum. In this instance, because of the recesses 12 on both sides, the aluminum is subjected to side etching, so that, for example, a disconnection 13 (sic, should be 19) occurs as shown in (g). In addition, if a defect 14 is present in the low temperature oxide film 11 on the polysilicon layer 5 as shown in Fig. 2, the aluminum interconnection layer 13 becomes connected to the polysilicon layer 5 at this location to thereby produce an electrical short.

As described above, in accordance with the above-

described method, at a portion of intersection with the polysilicon layer 5, the second interconnection layer 8 aluminum interconnection layer 12 is disconnected and disconnection of aluminum occurs frequently. Furthermore, in the case where there is a defect such as a pin hole in the oxide film 11, an electrical short occurs between the aluminum interconnection layer 12 and the polysilicon layer 6. The probability of a defect of the oxide film 11 being located at an intersection between aluminum and polysilicon increases significantly as the density of an integrated circuit increases, thereby lowering the yield of integrated circuits significantly.

Under the circumstances, in accordance with the present invention, prior to the formation of a low temperature oxide film on the above-mentioned polysilicon, for example, a thermal oxide film is provided on the polysilicon to reduce the recesses on both sides of the polysilicon, thereby reducing a disconnection at an intersection between the aluminum and the polysilicon and to fill the defects of the low temperature oxide film with a thermal oxide film, thereby significantly lowering the occurrence of an electrical short or leakage between the aluminum and the polysilicon.

Hereinafter, a device as an embodiment of the present invention will be described with reference to the drawings. In manufacturing a device of the present invention, since there is no difference from the prior art up to step shown in Fig. 1(c), its explanation is omitted. After Fig. 1(c),

oxidation is carried out at 1,100 °C for 15 minutes as shown in Fig. 3(a) to thereby form a thermal oxide film 20 of approximately 3,000 Å on the polysilicon. In this instance, as shown in (a), the surface of polysilicon layer 5 is oxidized so that an oxide film 20 grows, but no such growth takes place on the surrounding oxide film 2. The oxide film 20 which has grown on the surface of polysilicon layer 5 covers the recesses 18 formed on both sides of the polysilicon layer. Thereafter, when a low temperature oxide film 30 due to thermal decomposition of silane is formed on the oxide film 20, the recesses disappear almost completely as shown in Fig. 3(b). Under the circumstances, even if aluminum is vapor-deposited and an interconnection 40 is formed by photoetching, there occurs no side etching and no disconnection occurs as shown in Fig. 3(c).

Moreover, as shown in Fig. 4, even if a defect 21 were present in the thermal oxide film 20 of polysilicon, it is covered by the overlying low temperature oxide film 30 so that no electrical short with the aluminum interconnection layer 40 would result. In addition, a defect 31 present in the low temperature oxide film 30 is covered by the thermal oxide film 20 of polysilicon. Thus, only when the defects 21 and 31 of these two oxide films are aligned, a malfunctioning such as an electrical short or leakage takes place; however, its probability is extremely low as compared with the case with a single layer of thermal oxide film 20 of polysilicon or of low temperature oxide film 30 due to thermal decomposition of

silane.

In the above-described embodiment, use has been made of polysilicon as the first interconnection layer. However, it is not limited to polysilicon and use may be made of any other semiconductor, such as germanium, or a metal, such as aluminum, tantalum, or tungsten. In this case, as a method for oxidizing the first interconnection layer, it is not limited to thermal oxidation and use may be made of a plasma anode oxidation method or an electrolyte anode oxidation method. The insulating layer formed on the oxide film of the first interconnection layer is not limited to silicon oxide produced by thermal decomposition of silane or any other silicon compounds, and use may be made of silicon oxide deposited by such a method as sputtering and an oxide layer produced by depositing an oxide of a metal, such as aluminum, tantalum and tungsten. Besides, the second interconnection layer is not limited to aluminum, and use may be made of a metal, such as tungsten, or a semiconductor, such as polysilicon.

As described above, in accordance with a semiconductor device of the present invention, a disconnection of aluminum, which is a metal for the second layer, can be prevented at an intersection between a first layer of interconnection and the second interconnection layer, and, at the same time, leakage and shorts between the first layer of interconnection and the second layer of interconnection can be significantly reduced, so that the yield of semiconductor integrated circuits can be

enhanced significantly.

4. Brief Description of the Drawings

Figs. 1(a)-(g) are cross sectional views during a conventional process for manufacturing a semiconductor integrated circuit having a multilayer interconnection structure;

Fig. 2 is an enlarged cross sectional view of the main portion in Fig. 1(g), illustrating an example of an electrical short between a polysilicon interconnection layer and an aluminum interconnection layer due to a defect in a low temperature oxide film;

Figs. 3(a)-(c) are cross sectional views during a main process of a method for manufacturing a semiconductor integrated circuit according to one embodiment of the present invention; and

Fig. 4 is a cross sectional view showing an example in which a short is prevented between the polysilicon interconnection layer and the aluminum interconnection layer thanks to the manufacturing method of Fig. 3.

- 1: N type silicon substrate
- 2: Thermal oxide film
- 3: Gate oxide film
- 4, 5: Polysilicon layer
- 10: Recesses
- 20: Thermal oxide film

30: Low temperature oxide film due to thermal
decomposition of silane

40: Interconnection